

紙トランジスタ (10 点)

現代社会の電子技術はすべて、シンプルかつ強力な素子であるトランジスタによって支えられている。トランジスタはスイッチや増幅などの機能を持つが、デジタル情報の記憶や処理にはスイッチの機能が用いられる。

ここでは2つのタイプの電界効果トランジスタ (FET)、すなわち接合電界効果トランジスタ (JFET) と薄膜トランジスタ (TFT) を解析しよう。

FET がどのように動作するか、簡単に説明する。FET は3端子の非線形素子 (端子の名前をゲート (G)、ソース (S)、ドレイン (D) とする) であり、ゲートとソースの間に加えられた電圧によってソースとドレインの間に流れる電流を制御することができる。FET は水道の蛇口からでる水に例えることができる。この例では、蛇口による水流の制御が、ゲートによる電流制御に対応している。

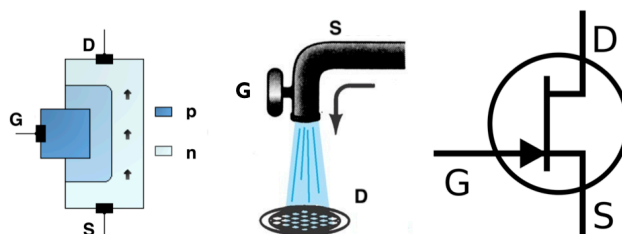


図 1. n チャンネル接合型電界効果トランジスタの模式図 (左), 水流によるイメージ図 (中央), 電子回路の記号 (右). 左図の矢印はソース (S) とドレイン (D) の間を流れる電流を示す。電流経路の幅はゲート (G) とソース (S) の間に加えられた電圧に依存する。

接合型電界効果トランジスタ (JFET) は、p 型ドープシリコン-n 型ドープシリコンなどの2種の半導体を接触させてつくった接合の性質を利用している。JFET では、ソースとドレインの間を流れる電流は細い電流経路を通り抜けるようにできており、n チャンネル FET ではこの電流経路は n 型半導体でできている。この電流経路の幅は、ゲートとソースの間の負の電圧 $V_{GS} = V_G - V_S$ によって正確に制御することができる。 V_{GS} を一定に保ったとき、ソースとドレインの間を流れる電流は、ドレイン-ソース間の電圧 $V_{DS} = V_D - V_S$ の非線形関数となる。しかし、ドレイン-ソース間の電圧 V_{DS} が小さいときは、電流は V_{DS} に比例し、JFET はオームの法則に従う。出力抵抗 $R_{DS} = V_{DS}/I_{DS}$ はゲート-ソース間の電圧 V_{GS} に強く依存し、次のような法則に従う：

$$R_{DS} = \frac{R_{DS}^0}{1 - V_{GS}/V_P}, \quad (1)$$

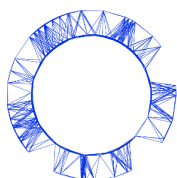
ここで R_{DS}^0 は $V_{GS} = 0$ での出力抵抗であり、 $V_P (< 0)$ はピンチオフ電圧と呼ばれる JFET のパラメータである。式から明らかなように、ピンチオフ電圧において FET は電流を完全に遮断する。

ここで $V_{GS} > V_P$ の範囲で V_{GS} の値を固定し、 V_{DS} を増やすと、ソース-ドレイン間の電流は V_{DS} との比例関係からずればじめ、あるところでほぼ一定値に飽和するようになる。飽和領域 (V_{GS} が大きい領域) で、飽和電流は V_{GS} に次のように依存する：

$$I_{DS} = I_{DSS} (1 - V_{GS}/V_P)^2. \quad (2)$$

ここで JFET に特徴的な2つの重要な性質を強調しておく。出力抵抗を制御するゲート-ソース電圧は非常に小さいが、入力抵抗 ($R_{GS} = V_{GS}/I_{GS}$) は極めて大きく、典型的に $10^9 \Omega$ 程度であるため、この素子は非常に小さな入力電圧で動作する。また、小さい JFET では電気容量は非常に小さくなるので、素子の動作をとても早くでき、スイッチのオン・オフ切り替えを MHz のレートよりすばやく行うことができる。

ここで、もう一つのタイプの FET である TFT (薄膜トランジスタ) がどのように動作するかを説明しよう。



他の FET と同様、TFT はゲート電極に加える電圧によってソースとドレインの間の電流を制御することができる。

ゲート電極と半導体層の間は絶縁体によって物理的に仕切られており、垂直方向の電場によって半導体に存在する自由な電荷キャリアを制御することができる (電界効果)。誘電体層はイオンが動くことのできる電解質膜に置き換えることが可能であり、例えば紙などに置き換えることができる。ゲートに加えられた電圧により、荷電イオンを半導体界面の方に押し出し、イオン電荷膜を作って半導体中の自由電荷キャリア密度を変調させる (電解質ゲートトランジスタ)。新リスボン大学の研究者は、2008 年に開発された「紙トランジスタ」研究の先駆者であり、この分野で世界のリーダーとなっている。

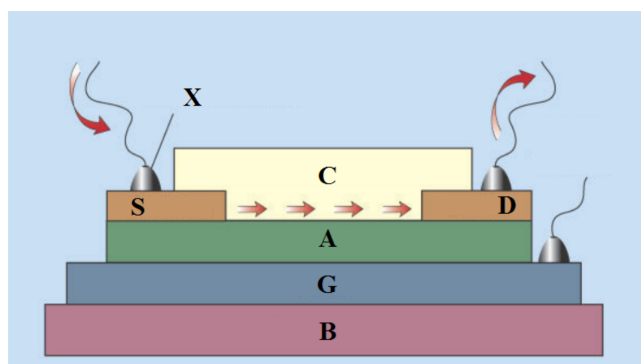


図 2. 本問題で使われる紙薄膜トランジスタ (TFT) の模式図。S: ソース, D: ドレイン, G: ゲート, A: 紙 (誘電体), B: 基板, C: 半導体層 (ガリウム・インジウム・亜鉛の酸化物), X: 金属。矢印は電流の流れを示す。

JFET と同様に、TFT トランジスタは線形モードと飽和モードの 2 つの基本作動モードによって動作する。JFET と異なり、TFT の内部電気容量は素子性能にとって重要なパラメータとなる。

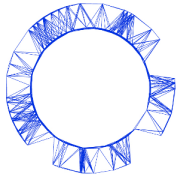
この実験問題では、n-チャンネル JFET と紙でできた TFT がどのように動作するかを調べる。

ゲート G (V_{GS}) とドレイン D (V_{DS}) に異なる電圧を加えたときのソースとドレイン間の電流 (I_{DS}) を測ることで、これらの素子の特性曲線を決定する。

2 つの最も重要な特性曲線が出力曲線と伝達曲線である：

出力曲線: この曲線は、 V_{GS} を一定に保ちながら V_{DS} を 0V から +3V まで掃引して、ソース-ドレイン間の電流 (I_{DS}) をソース-ドレイン間の電圧 (V_{DS}) の関数として測定し、プロットを行って作成する。

伝達曲線: この曲線は、 I_{DS} を V_{GS} に対して測定し、プロットを行って作成する。 V_{DS} はトランジスタが常に**飽和モード**として動作するよう適当な値をとり、その値を固定しながら、 V_{GS} を -3V から 0V まで掃引する。



実験装置

この実験問題に対しては、次の実験装置のセット（図 3）が与えられている。

1. マルチメータ（テスター）
2. JFET トランジスタ（ラベルの付いたビニール袋の中に入っている）
3. ワニ口クリップの付いたケーブル (10)
4. 平らなワニ口クリップ（4, ビニール袋の中に入っている）
5. 乾電池パック（1.5V が 4 つ）
6. 乾電池ホルダー
7. ミニブレッドボード
8. ミニブレッドボードに接続するジャンパー線 (3)
9. HB 鉛筆
10. 銀の導電インクペン（回路書き込み用）
11. ストップウォッチ
12. 回路が印刷され、紙を誘電層に用いた TFT が埋め込まれた紙片（図 4）
13. 筆記用具の入ったバッグ (ペン 1, 鉛筆 1, 消しゴム/鉛筆削り 1, 定規 1)

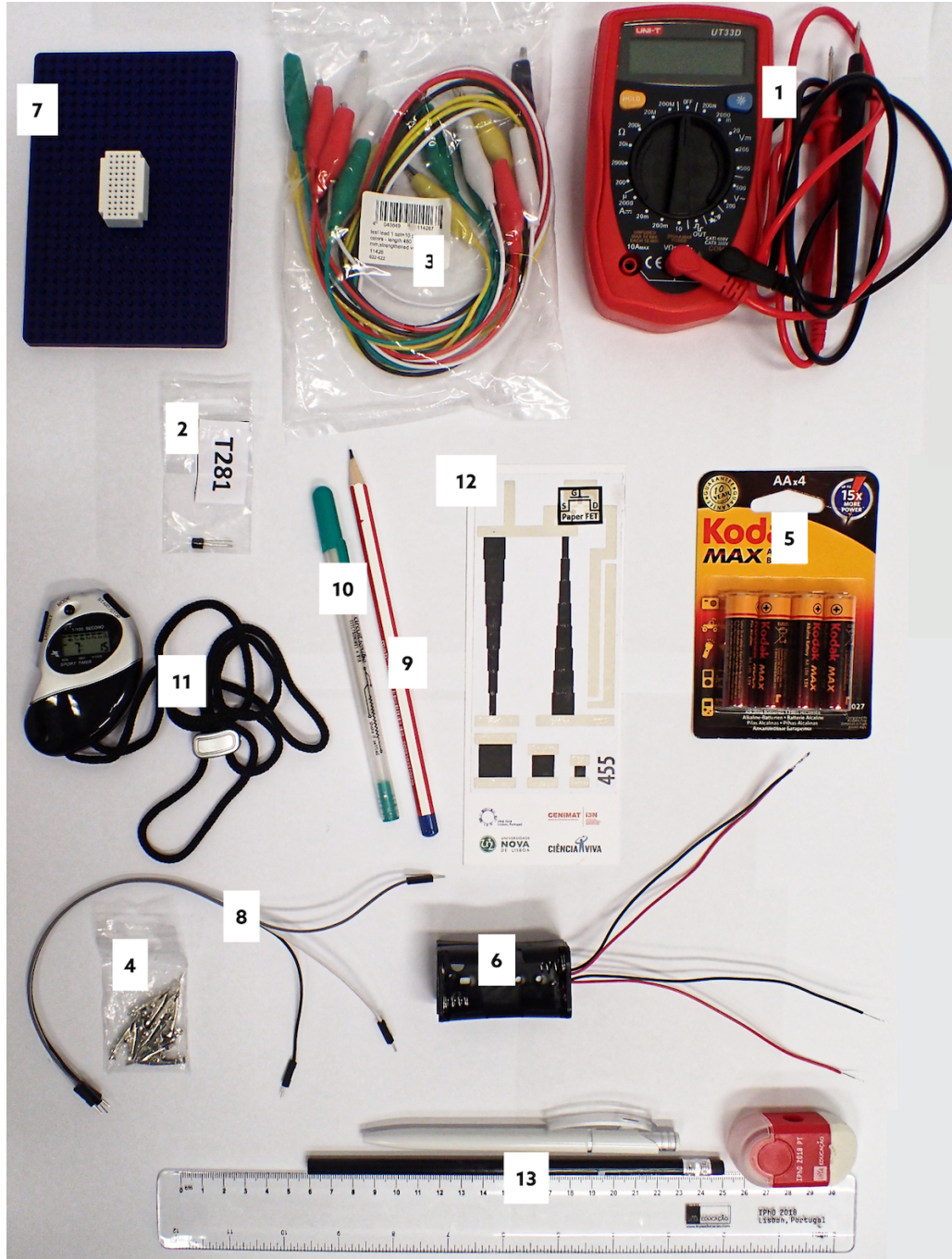
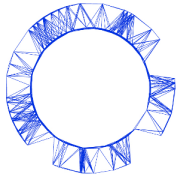


図 3. 実験装置のセット

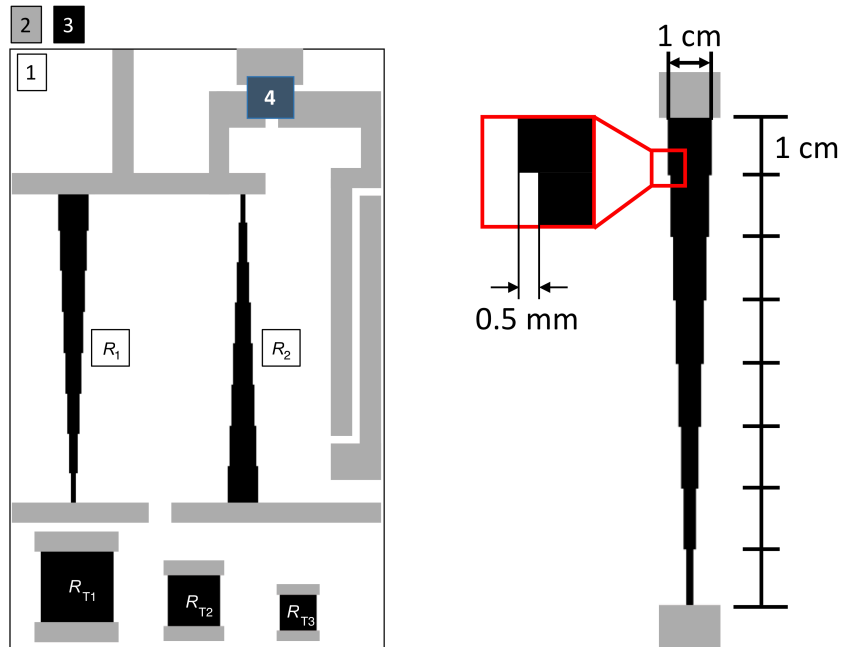
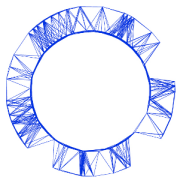
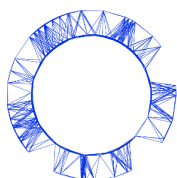


図 4. 左図：実験装置に含まれている回路の印刷された紙片。(1) 紙, (2) 銀の導電部, (3) カーボン抵抗部, (4) 紙トランジスタ, (R_1 と R_2) 電圧分割用抵抗。右図：電圧分割用抵抗の寸法（各分割部分の段差は 0.5mm で一定）

重要な注意点：

回路がプリントされ、トランジスタの埋め込まれた紙片は簡単に傷つくので**折り曲げないこと**。最良の結果を得るためには実験の間できるだけ平らな状態に保つようにせよ。

実験においては、次の**重要な情報**を考慮に入れることが大切である。



- マルチメータは常に **DC モード** で使用すること。
- マルチメータはオートレンジとせず実験に最適な（測定）レンジを慎重に選ぶべきである。オーバーフローが起きるとディスプレイには正または負の値に対して、それぞれ、（左詰で）”1” または”-1” が表示される。その時には異なるレンジに変更すべきである。
- 低い電流のレンジは 315mA のヒューズで保護されている。大電流によりヒューズが飛んでしまうため、**電池とマルチメータをショートさせることは絶対に避けること。**
- 電圧計として使用するときのマルチメータの内部抵抗は $10\text{M}\Omega$ である。
- 電流計として使用するとき、マルチメータの内部抵抗は次の表に示されるようにレンジに依存する：

レンジ	R_{int}/Ω
200 mA	1.0
20 mA	10
2 mA	100

表 1: 電流計として使用したときのマルチメータの内部抵抗

従って、マルチメータを DC 電流計のモードで使用する場合、DC の 3 つのレンジ全てにおいてレンジの最大電流値では端子間に最大 200mV の電圧降下がある。

Part A. 回路のディメンジョニング (2.5 点)

必要な V_{DS} と V_{GS} の電圧を得るために、紙に印刷された 2 つのカーボン抵抗 (R_1 および R_2 , 図 4 を見よ) と電圧分割回路を用いる。 R_1 と R_2 は電圧分割回路の全抵抗 (R_{tot}) となる。例えば、一定の電圧（この場合には電池の 3V）を R_1 の両端に加えたとき、その両端に 3V (V_{in} , 電池の正の端子) から接地端子 (0V; ; 今後接地端子という場合には 2 つのバッテリーパックの中間の共通端子を指す) への電圧降下が見られ、 R_{tot} は実質的に 2 つの抵抗 (R_x and R_y) に分割され、必要な V_{out} を得ることができる (図 5)。

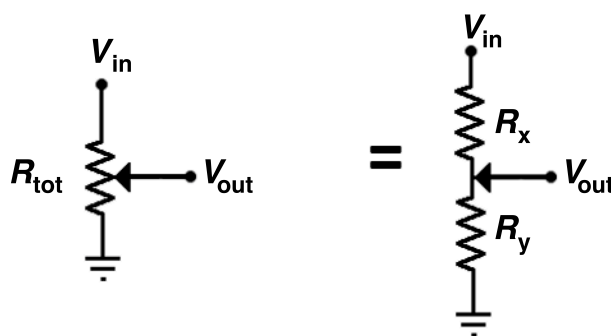
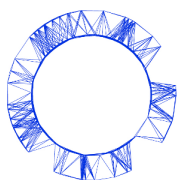


図 5. 電圧分割回路

Experiment



IPhO 2018
Lisbon, Portugal

Q1-7

Japanese (Japan)

- | | | |
|------------|---|-------|
| A.1 | 出力電圧 V_{out} を V_{in} と抵抗 R_x および R_y の関数として書け。 | 0.2pt |
| A.2 | 紙のシートの下の部分にある 3 つの試験抵抗器 (R_{T1} , R_{T2} および R_{T3}) の抵抗をマルチメータで測定せよ。銀の端子の異なる場所で必要な回数測定すること。それらの値を解答用紙に記入せよ。それぞれの試験抵抗器の抵抗に対して平均値を計算し誤差を見積もれ。 | 0.5pt |
| A.3 | 正方形の薄膜の抵抗は一辺の長さに依存しないことを示せ。このサイズに依存しない抵抗はシート抵抗と呼ばれ、 $R_{\square}$ と書かれる。 | 0.3pt |
| A.4 | A.2 のデータからカーボン薄膜のシート抵抗の平均値を計算し、カーボン薄膜の抵抗率 ρ を求め、誤差を評価せよ (カーボンフィルムの厚さ t を $20 \pm 1 \mu\text{m}$ と考えること)。 | 0.4pt |
| A.5 | 抵抗 R_1 と R_2 の理論的な値が $R_1 = R_2 = \kappa R_{\square}$, $\kappa \sim 14.2897$ であることを示せ。 R_1 と R_2 を測定し、解答用紙に値を書け。 κ の実験値を決定し、理論値と比較せよ。 | 0.5pt |

与えられた銀の導電インクペンを用い、(図 6 に例示されたように) 与えられた抵抗器のそれぞれに沿って、7 本の銀の導電線を等間隔で描け。これらのそれぞれの線を電圧分割器の接触端子として用いる。

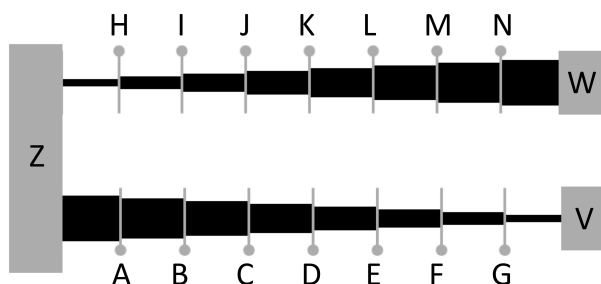


図 6. 銀の導電線の書き方の例と接触端子の名前の付け方

- | | | |
|------------|--|-------|
| A.6 | 全ての接触端子について抵抗 R_x と R_y を測定せよ。 R_x は接触端子と V (抵抗 1 の場合) もしくは W (抵抗 2 の場合) との間の抵抗と定義され、 R_y は接触端子と Z との間の抵抗と定義される。解答用紙に与えられた表を埋めよ。 | 0.3pt |
|------------|--|-------|

乾電池を乾電池ホルダーに入れよ。乾電池の極を注意して観察し、短絡が起きないようにせよ。それから図 7 に示されているように乾電池パックを物理的に接続せよ。ワニ口クリップで銀の配線を傷つけないように注意せよ。

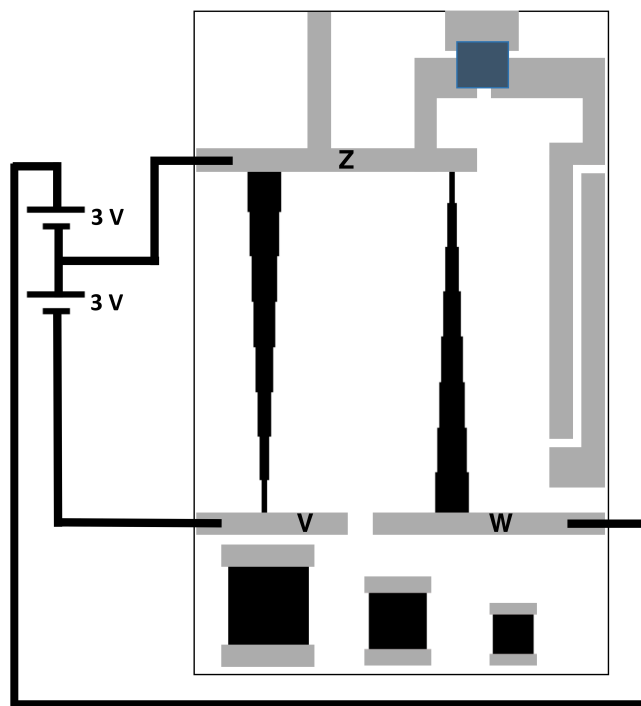
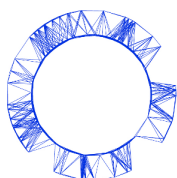


図 7. 乾電池の接続

A.7 それぞれの接触端子での V_{out} を測定せよ。 V_{out} は Z に対して測定した電圧であり、 0.3pt
解答用紙に与えられた表に値を記入せよ。

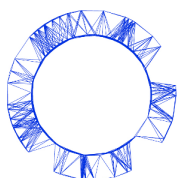
これで回路のディメンジョニングの部分を終えて、JFET トランジスタの CC（特性曲線）の測定へ進むことができる。

Part B. JFET トランジスタの特性曲線 (4.0 点)

JFET トランジスタの特性を調べるために図 8 に示されたセットアップを用いる。まず、与えられた JFET トランジスタの 3 つの端子（S, D および G）がどれになるか確認せよ。**トランジスタ素子是对称ではないので、よく注意して端子を正しく確認すること。** JFET を取り付けるのに与えられたミニブレッドボードを用いてよい。与えられたジャンパー線はミニブレッドボードで使用できる。

与えられたケーブルを用い、トランジスタのゲートとソースを接地端子（回路の Z の点を 0V とする）に接続せよ。問題のこのパート全体で、JFET のソースは常に接地端子に接続し続けること。

Experiment



IPhO 2018
Lisbon, Portugal

Q1-9

Japanese (Japan)

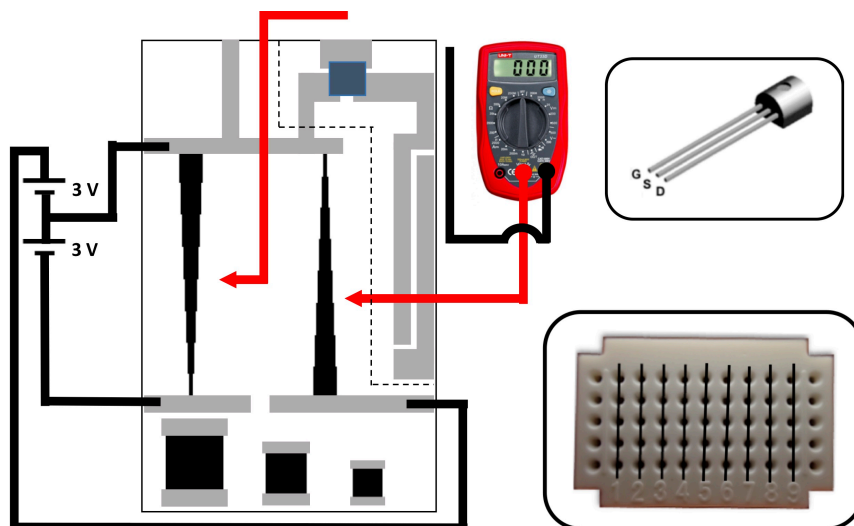


図8. JFET の特性曲線を決定するための装置。破線で囲まれた TFT を含む部分はパート B では使われない。右上の挿入図は、JFET トランジスタのゲート (G)、ソース (S)、ドレイン (D) の見分け方を示している。右下の挿入図は小型ブレッドボードの穴の結線を示している。番号付けされた列のすべての穴は内部で結線されており、他の列の穴とは絶縁している。マルチメータの図は簡略化されたものである。適切な測定モードと測定レンジをマルチメータの回転スイッチで選択すること。

B.1 トランジスタのゲートを接地端子に接続せよ ($V_{GS} = 0$)。次に直流電流 (DC current) モードにしたマルチメータの一本のケーブルをトランジスタのドレインに接続せよ。もう一方のケーブルで電圧分割器の最も高い電圧が得られるポイントに触れよ。電流 I_{DS} の値を解答用紙に記入せよ。 0.2pt

B.2 $V_{GS} = 0$ に保ったまま、異なる正の電圧をドレインに与えた場合の電流 I_{DS} を測定せよ。次に負の電圧をトランジスタのソース-ゲート間に与える ($V_{GS} < 0$) ように回路を変更し、 I_{DS} をドレイン-ソース間に与えた正の電圧の関数として求める測定を繰り返せ。解答用紙の表に測定結果を書き込め。 0.8pt

電圧分割器の回路が抵抗の小さな負荷に接続されているとき (図9) は、電圧分割器で与えられる電圧 V_{out}^L は、インピーダンスの大きな電圧計のように抵抗の大きな負荷に接続された場合の公称電圧 V_{out} と異なっている。

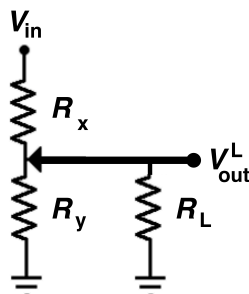
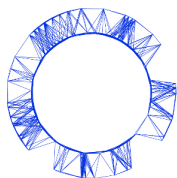


図9．負荷を接続した電圧分割器

- B.3** 電圧分割器が抵抗 R_L の負荷に接続されている場合を考える。補正係数 $f = V_{out}^L/V_{out}$ を R_L, R_x, R_y の関数として求めよ。 0.2pt

JFET トランジスタは、 $V_{GS} = 0$ ，すなわち $R_{DS}^0 \sim 50\ \Omega$ のとき、小さい出力抵抗をもつ。しかし、ゲートがソースに対して負の電圧になると、この抵抗は大幅に増加する。 $V_{GS} < 0$ に対しては、出力抵抗は式 (1) で与えられた法則にほぼ従う。

- B.4** 適切な補正係数を用いて、 V_{DS} ，すなわちドレイン-ソース間の電圧降下を B.2 で測定したすべてのドレイン点について計算せよ。この課題で用いた JFET の公称値 ($R_{DS}^0 = 50\ \Omega$, $V_P = -1.4\ V$) を考慮すること。 1.2pt

- B.5** 用いた JFET トランジスタの出力曲線 $I_{DS}(V_{DS})$ をすべて描け。 0.5pt

- B.6** トランジスタが小さい V_{DS} で動作している場合を考える。異なる V_{GS} に対する用いた JFET の実験値 R_{DS} を異なる V_{GS} に対して求め、結果の図を描け。 0.5pt

- B.7** 用いた JFET の $V_{DS} \sim +3\ V$ における伝達曲線を描け。 0.3pt

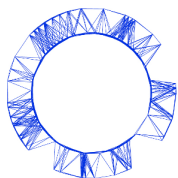
JFET トランジスタが飽和モードで動作しているとき、電流 I_{DS} は式 (2) で表される法則にほぼ従う。

- B.8** 測定結果から、用いた素子の I_{DSS} とピンチオフ電圧 V_P を求めよ。公称値として与えられた V_P と比較せよ。 0.4pt

JFET トランジスタを増幅器として用いる場合の重要なパラメータは、いわゆるトランジスタの相互コンダクタンス g であり、以下の式で与えられる。

$$g = \frac{\partial I_{DS}}{\partial V_{GS}}. \quad (3)$$

二つの変数をもつ関数 $f(x, y)$ にたいして、 $\frac{\partial f}{\partial x}$ は y を一定に保ったときの f の x による微分を表す。



- B.9** 測定した伝達曲線から、用いた素子の $V_{GS} = -0.50\text{ V}$ における相互コンダクタンス 0.4 pt を求めよ。結果を式 (2) から得られる計算結果と比較せよ。

Part C. 紙薄膜トランジスタ (2.0 点)

ここからは、JFET は使わない。以下のすべての実験問題は印刷された回路の上側の角にある紙薄膜トランジスタ (TFT) についてのものである。TFT のゲート (G)、ソース (S)、ドレイン (D) は図 10 に示されている。TFT のゲートとソースを接地端子に接続せよ。この課題でも図 10 に示すように、紙 TFT のソースは乾電池パックの共通端子つまり 0 V に常に接続される。電圧分割器の一つを用いてトランジスタを $V_{DS} > 0$ の状態にせよ (図 10)。電流が電流計を流れていることを確認せよ。

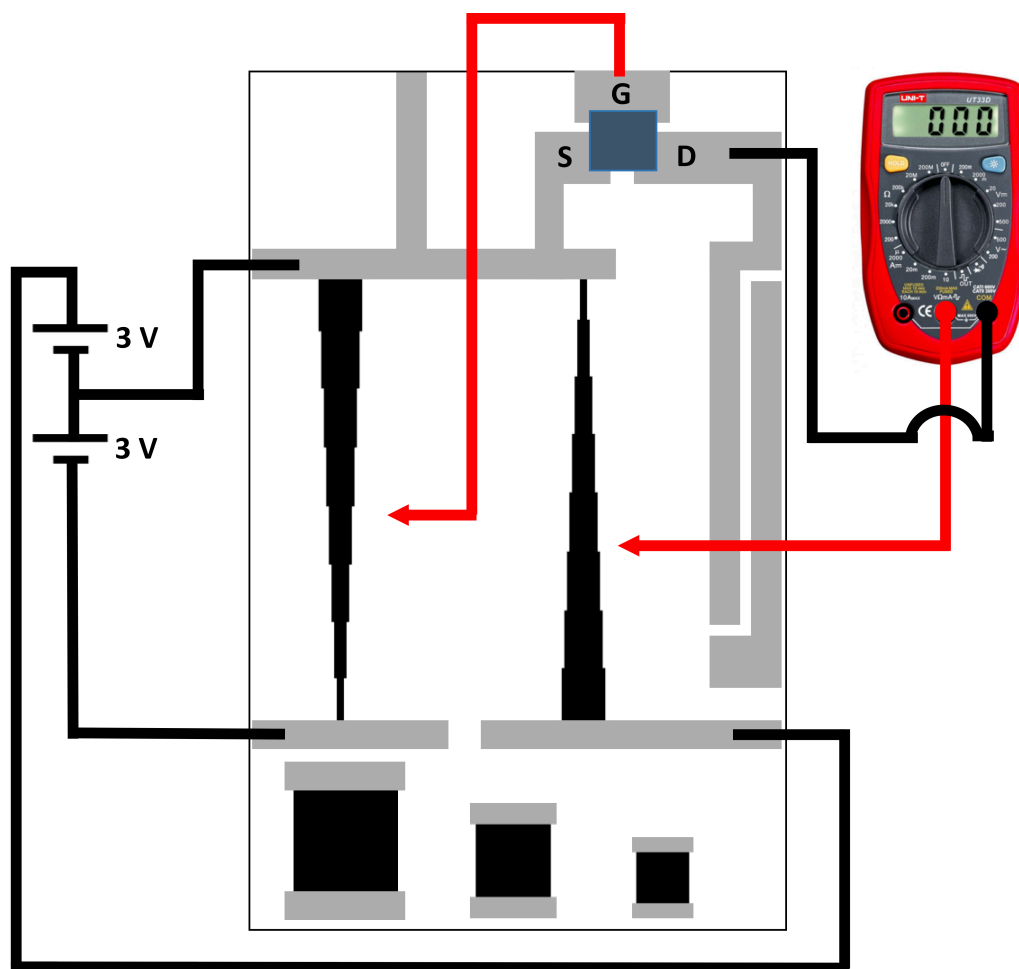
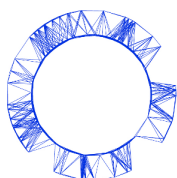


図 10. 紙 TFT の測定装置。マルチメータの図は簡略化されたものである。適切な測定モードと測定レンジをマルチメータの回転スイッチで選択すること。

Experiment



IPhO 2018
Lisbon, Portugal

Q1-12

Japanese (Japan)

C.1 $V_{DS} = +3.0\text{ V}$ を与えよ。 $V_{GS} = -3.0\text{ V}$ を与えてトランジスタを遮断せよ。トランジスタが遮断されるまで1分間待つこと。残留した電流 I_{closed} の値を解答用紙に書け。次に $V_{DS} = +3.0\text{ V}$ を保ったまま $V_{GS} = 0$ としてトランジスタを開け。電流を時間の関数として測定せよ。トランジスタを開いた直後に開始し、少なくとも5分間は測定せよ。 $I_{DS}(t)$ のデータを解答用紙に集計せよ。 0.8pt

C.2 $I_{DS}(t)$ を図示せよ。この時間特性は、一方の時定数 (τ_2) が他方 (τ_1) より非常に大きい二つの指数関数現象の重ね合わせになっている。短い方の時定数 τ_1 を決定せよ。 1.2pt

Part D. 反転回路 (1.5 点)

電子回路で最も重要な回路の一つは、デジタル入力を逆転することができる反転回路である。例えば、もし $V_{\text{in}} = \text{high}$ の場合は $V_{\text{out}} = \text{low}$ であり、その逆でもある。今一度言うが、トランジスタは回路の基礎である。最も単純なデザインは、図 11 に示す共通ソース増幅器と呼ばれものであり、トランジスタと負荷抵抗 (R_L) を用いる。この場合は $V_{\text{in}} = V_{GS}$ で、 V_{out} はトランジスタのドレイン電極の電圧を測定する。このように、この課題では V_{GS} を -3 V から 0 V まで変化させたときに、 V_{out} に何が起こるかを調べる。

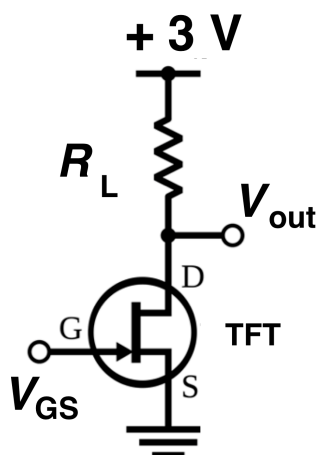


図 11. 共通ソース増幅器と反転回路

図 11 の装置では、トランジスタは紙 TFT であり、 R_L はこれから手作業で付け加える負荷である。図 12 に示すようにゲート端子と接続して V_{in} 端子とする端子とドレイン端子との間に鉛筆で負荷 R_L を書く。鉛筆で書くことにより、導電性黒鉛の薄い層を蓄積させる。そのため、より多くの層を描くほど、より低い抵抗が得られる。 R_L を描く間は、その抵抗を継続的に確認すること。 V_{out} をできるだけ 0 V に近づけるためには、負荷抵抗は十分に大きい必要がある。そのため、抵抗を描いている間は、 $R_L = 200\text{ k}\Omega$ を達成することを目的とせよ。

鉛筆を用いて R_L を減少させるだけでなく、消しゴムで増加させることもできる。目的とする値からの差が 10% 以下であることを目標とせよ。

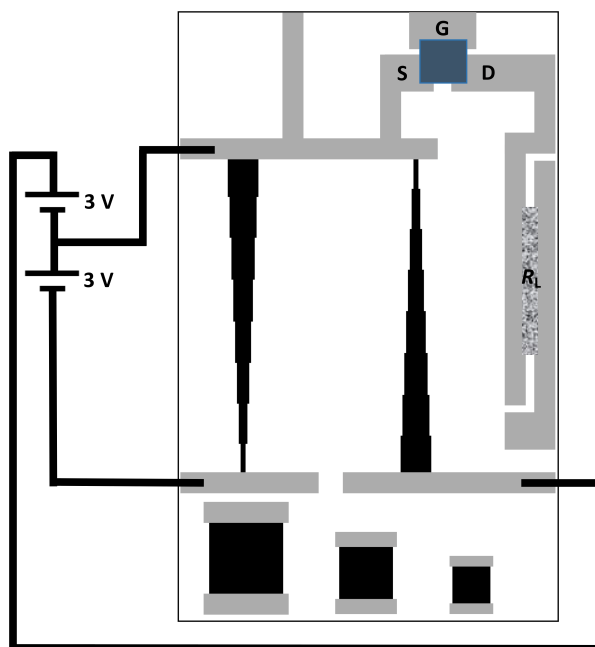
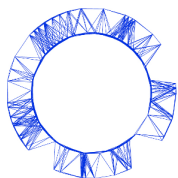


図 12. 反転／共通ソース増幅器装置の配置

反転回路（図 12 参照）を作るために紙 TFT の負荷抵抗に用いる $R_L \simeq 200 \text{ k}\Omega$ の炭素抵抗を，付属の HB 鉛筆を用いて手で描け。

D.1 作成した R_L の測定値を解答用紙に書け。炭素抵抗と紙 TFT を用いて反転回路（図 12）を作成せよ。測定前にトランジスタを完全にオフにするために $V_{GS} = -3 \text{ V}$ を与えて約 1 分間待つことを忘れないこと。次に V_{GS} を -3 V から 0 V まで変化させて V_{out} を測定する。各点で最大 100 秒間の安定化時間をおいてから V_{out} を読み取ること。測定結果を解答用紙に書け。 0.5pt

D.2 測定した $V_{out}(V_{in})$ 電圧伝達曲線を描け。データ点の傾向を示す滑らかな曲線を描け。 0.5pt